

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0079510
Application Number

출원 년 월 일 : 2003년 11월 11일
Date of Application NOV 11, 2003

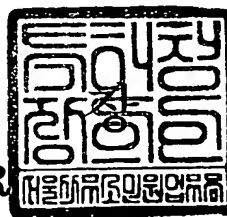
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 12 월 05 일

특 허 청

COMMISSIONER





【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.11.11
【발명의 명칭】	멀티 칩에서 멀티 섹터 소거 동작 모드를 지원하는 반도체 메모리 칩 및 멀티 칩 패키지, 그리고 멀티 섹터 소거 방법
【발명의 영문명칭】	SEMICONDUCTOR MEMORY CHIP HAVING MULTI SECTOR ERASE MODE OF OPERATION AND MULTI CHIP PACKAGE, AND ITS MULTI SECTOR ERASE METHOD
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【발명자】	
【성명의 국문표기】	채동혁
【성명의 영문표기】	CHAE,DONG-HYUK
【주민등록번호】	731010-1674614
【우편번호】	151-019
【주소】	서울특별시 관악구 신림9동 건영3차아파트 1동 405호
【국적】	KR
【발명자】	
【성명의 국문표기】	임흥수
【성명의 영문표기】	LIM,HEUNG-SOO
【주민등록번호】	680208-1573911

【우편번호】 449-846
【주소】 경기도 용인시 수지읍 풍덕천2동 삼성5차아파트 519동 904호
【국적】 KR
【우선권주장】
【출원국명】 KR
【출원종류】 특허
【출원번호】 10-2003-0021969
【출원일자】 2003.04.08
【증명서류】 미첨부
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
임창현 (인) 대리인
권혁수 (인)
【수수료】
【기본출원료】 20 면 29,000 원
【가산출원료】 19 면 19,000 원
【우선권주장료】 1 건 26,000 원
【심사청구료】 22 항 813,000 원
【합계】 887,000 원
【첨부서류】 1. 요약서·명세서(도면)_1통

**【요약서】****【요약】**

본 발명은 멀티 칩의 멀티 섹터 소거 동작 모드를 지원하는 반도체 메모리 칩과 상기 반도체 메모리 칩들로 구성된 멀티 칩 패키지 그리고 멀티 섹터 소거 방법에 관한 것으로서, 상기 멀티 칩 패키지를 구성하는 반도체 메모리 칩은, 셀 어레이와; 소거할 섹터 정보를 가지는 레지스터와; 상기 멀티 칩에서 동시에 어드레스 클락 신호를 발생하도록 하는 어드레스 클락 드라이버와; 어드레스를 순차적으로 발생하는 카운터와; 해당 섹터에 대한 소거 동작을 수행하는 코어 드라이버와; 이들 구성요소를 제어하는 제어 회로를 포함한다.

【대표도】

도 7

【명세서】

【발명의 명칭】

멀티 칩에서 멀티 섹터 소거 동작 모드를 지원하는 반도체 메모리 칩 및 멀티 칩 패키지,
그리고 멀티 섹터 소거 방법{SEMICONDUCTOR MEMORY CHIP HAVING MULTI SECTOR ERASE MODE OF
OPERATION AND MULTI CHIP PACKAGE, AND ITS MULTI SECTOR ERASE METHOD}

【도면의 간단한 설명】

도 1은 단일 칩에서의 멀티 섹터 소거 동작을 설명하기 위한 개념도이다.

도 2는 단일 칩에서의 멀티 섹터 소거 동작을 설명하기 위한 블록도이다.

도 3은 단일 칩에서의 멀티 섹터 소거 동작을 설명하기 위한 타이밍도이다.

도 4는 단일 칩에서의 멀티 섹터 소거 동작을 설명하기 위한 순서도이다.

도 5는 본 발명에 따른 멀티 칩 패키지를 나타내는 블록도이다.

도 6은 본 발명에 따른 멀티 칩 패키지에서의 멀티 섹터 소거 동작을 설명하기 위한 개념도이다.

도 7은 본 발명에 따른 반도체 메모리 칩을 나타내는 블록도이다.

도 8은 도 7의 어드레스 클락 드라이버를 나타내는 회로도이다.

도9a 및 도 9b는 제 1 및 제 2 플래그 발생 회로이다.

도 10은 본 발명에 따른 멀티 칩 패키지에서의 멀티 섹터 소거 동작을 설명하기 위한 타이밍도이다.

도 11은 본 발명에 따른 멀티 섹터 소거 방법을 설명하기 위한 순서도이다.

* 도면의 주요 부분에 대한 부호 설명 *



100, 200 : 반도체 메모리 칩

110, 210 : 레지스터

120, 220 : 어드레스 클락 드라이버

130, 230 : 카운터

140, 240 : 제어회로

141, 142 : 플래그 발생회로

150, 250 : 코어 드라이버

160, 260 : 셀 어레이

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<17> 본 발명은 반도체 메모리 장치에 관한 것으로, 좀 더 구체적으로는 멀티 칩에서 멀티 섹터 소거 동작 모드를 지원하는 반도체 메모리 칩 및 멀티 칩 패키지 그리고 멀티 섹터 소거 방법에 관한 것이다.

<18> 플래시 메모리의 셀은 잘 알려진 바와 같이 플로팅 게이트와 컨트롤 게이트로 구성된다. 플래시 메모리 셀의 소거 동작은 컨트롤 게이트에 음의 고전압을 인가하여 F-N 터널링 현상을 유발함으로써 플로팅 게이트 내의 전자를 기판으로 방출함으로써 이루어진다. 플래시 메모리 셀들은 고집적화를 위해 벌크 영역을 공유하므로 하나의 섹터에 포함되는 셀들은 동시에 소거된다. 따라서 플래시 메모리의 셀 어레이는 소거의 단위가 되는 다수의 섹터로 구성되어 있다.

<19> CPU 또는 컨트롤러가 소거 동작을 위한 커맨드와 소거할 섹터 어드레스들을 입력하면 칩 내의 어드레스 카운터에서 어드레스를 순차적으로 증가해가면서 각 섹터들에 대한 소거 동작

을 진행한다. 이처럼 한번에 여러 개의 섹터를 지우는 소거 동작을 멀티 섹터 소거 동작이라 한다.

<20> 멀티 섹터 소거 동작의 진행을 위해서는 칩 내에 소거하고자 하는 섹터 어드레스를 저장하는 레지스터가 섹터 수만큼 구비되어 있어야 하고, 섹터 어드레스를 하나씩 증가시켜 가면서 소거할 섹터인지를 검출하고, 상기 검출 결과에 따라 소거 동작을 수행시키는 수단들이 필요하다.

<21> 도 1은 단일 칩에서 멀티 섹터 소거 동작을 설명하기 위한 개념도이다. 도 1에 나타난 예는 128개의 섹터로 구성된 플래시 메모리로서, 각 섹터에는 섹터 어드레스(SA0 ~ SA127)가 할당되어 있으며, 섹터 어드레스(SA3)에 해당하는 섹터를 소거하고자 한다.

<22> 소거 동작을 명하는 커맨드와 소거할 섹터 어드레스들은 외부 컨트롤러에 의해 입력된다. 이때, 컨트롤러는 하나의 섹터 어드레스를 입력하여 소거 동작이 일어나도록 할 수도 있고, 여러 개의 섹터 어드레스들을 입력하여 한번에 여러 섹터를 소거할 수도 있다. 이와 같이 소거하고자 하는 섹터 어드레스를 입력하는 것을 섹터 로딩이라 부른다.

<23> 도 2는 단일 칩에서 멀티 섹터 소거 동작을 설명하기 위한 블록도이다. 도 2를 참조하면, 단일 칩에서 멀티 섹터 소거 동작 모드를 지원하는 반도체 메모리 칩은, 복수개의 섹터들로 이루어진 메모리 셀 어레이(60)와; 소거할 섹터 어드레스들을 저장하는 레지스터(10)와; 어드레스 카운트 업 신호에 응답하여 어드레스를 순차적으로 발생하는 카운터(30)와; 상기 레지스터에 저장된 섹터 어드레스와 상기 카운터에서 발생된 섹터 어드레스가 일치하는지 여부를 체크하여, 일치하는 경우에는 소거 인에이블 신호를 발생하고, 일치하지 않는 경우에는 상기 어드레스 카운트 업 신호를 발생하는 제어회로(40)와; 상기 소거 인에이블 신호에 응답하여 해당 섹터에 대한 소거 동작을 수행하는 코어 드라이버(50)를 포함한다.

- <24> 도 3은 단일 칩에서 멀티 섹터 소거 동작을 설명하기 위한 타이밍도이다. 도 2와 도 3을 참조하여 단일 칩에서 멀티 섹터 소거 동작을 설명하면 다음과 같다.
- <25> 외부 컨트롤러는 소거 동작을 명하는 커맨드와 소거할 섹터 어드레스(SA3)를 입력한다. 이때 외부 컨트롤러는 하나의 섹터 어드레스를 입력하여 하나의 섹터를 소거할 수 있고, 여러 개의 섹터 어드레스들을 한번에 입력하여 여러 섹터들을 소거할 수도 있다. 후자와 같이 여러 개의 섹터가 한 번에 소거되는 것을 단일 칩에서의 멀티 섹터 소거 동작이라 한다.
- <26> 소거 명령이 입력되면, 칩 내부의 레지스터(10)에 소거할 섹터 어드레스(SA3)가 저장된다. 상기 레지스터(10)는 각 섹터에 하나씩 할당된 레지스터로서, 소거할 섹터에 할당된 레지스터 값은 "1"로 세팅된다. 실제 소거 동작시 각 섹터의 소거 여부는 이 레지스터 값을 통해 판단한다.
- <27> 소거 동작이 시작되면, 칩 내부의 제어회로(40)는 어드레스 카운터(30)를 '0'으로 초기화한다. 예를 들어, 128 (2^7)개의 섹터로 된 메모리 셀인 경우에, 섹터 어드레스 SA<6:0>을 '0'으로 초기화한다. 상기 제어회로(40)는 Sector Check 신호를 발생하여 첫번째 섹터 어드레스(SA0)에 대한 소거 여부를 판단한다. 첫번째 섹터 어드레스(SA0)가 상기 레지스터(10)에 저장된 섹터 어드레스(SA3)와 일치하지 않으므로 상기 제어회로(40)는 AddrCountUp 신호를 발생한다.
- <28> 이때 카운터(30)는 섹터 어드레스를 증가시킨다. 상기 제어회로(40)는 다음 섹터 어드레스에 대해 섹터 체크를 계속한다. 레지스터에 저장된 섹터 어드레스(SA3)와 카운터에서 발생한 섹터 어드레스(SA3)가 일치하는 경우에는 섹터 체크 시 Loaded Sector 신호가 발생된다. 이때 제어회로(40)는 Erase Enable 신호를 활성화하여 코어 드라이버(50)로 하여금 해당 섹터에 대한 소거 동작을 수행하도록 한다.



- <29> 상기 동작의 반복을 통해 섹터 어드레스가 마지막에 이르면, 상기 카운터(30)는 FinalSCTAdd 신호를 발생한다. 상기 제어회로(40)는 EraseFinish 신호를 발생함으로써 소거 동작을 종료하게 한다.
- <30> 도 4는 단일 칩의 멀티 섹터 소거 방법을 설명하기 위한 순서도이다. 도 4를 참조하여 단일 칩의 멀티 섹터 소거 동작을 설명하면 다음과 같다.
- <31> 멀티 섹터 소거 동작은 외부로부터 소거 동작 커맨드와 소거할 어드레스 정보가 입력되어 Erase Busy 신호가 활성화되면서 시작된다.
- <32> 제 1 단계는 카운터의 어드레스를 '0'으로 초기화하는 단계이다. 제 2 단계는 상기 카운터에서 발생된 섹터 어드레스와 레지스터에 저장된 섹터 어드레스가 일치하는지 여부를 판단하는 단계이다. 제 3 단계는 상기 섹터 어드레스가 일치하는 경우에는 섹터 소거 동작을 수행하는 단계이다. 제 4 단계는 섹터 어드레스가 일치하지 않는 경우 또는 섹터 소거 동작을 수행한 경우에 마지막 섹터인지를 판단하는 단계이다. 제 5 단계는 마지막 섹터인지를 판단하여 마지막 섹터이면 종료하는 단계이다. 마지막 섹터가 아니면 어드레스를 카운트 업하고 섹터 어드레스가 일치하는지 여부를 판단하는 제 2 단계로 이동한다.
- <33> 모든 섹터에 대한 소거 동작이 끝나면 Erase Finish 신호가 발생하여 소거 동작이 종료된다.
- <34> 도 1 내지 도 4에서는 단일 칩에서의 멀티 섹터 소거 동작에 대해 설명하였다. 그러나 최근에는 반도체 메모리의 용량을 늘리기 위해서 여러 개의 동일한 칩을 하나의 패키지에 실장하여 하나의 메모리 시스템을 구성하는 방법들이 연구되고 있다. 이 때 각 반도체 메모리 칩들

은 어드레스 및 데이터 버스와 제어 버스를 공유하며, 2배 혹은 4배의 용량을 가지는 메모리 칩처럼 동작한다.

<35> 본 발명은 상술한 단일 칩에서의 멀티 섹터 소거 동작을 확장하여 멀티 칩에서 멀티 섹터 소거 동작을 구현할 수 있는 반도체 메모리 칩 또는 상기 반도체 메모리 칩들로 구성된 멀티 칩 패키지를 제공하고자 한다.

【발명이 이루고자 하는 기술적 과제】

<36> 본 발명은 상술한 기술적 과제를 해결하기 위하여 제안된 것으로, 본 발명의 첫번째 목적은 멀티 칩에서 멀티 섹터 소거 동작을 수행할 수 있는 반도체 메모리 칩을 제공하는데 있다.

<37> 본 발명의 두번째 목적은 상기 반도체 메모리 칩들로 구성된 멀티 칩 패키지를 제공하는데 있다.

<38> 본 발명의 세번째 목적은 상기 멀티 칩 패키지에서 멀티 섹터 소거 동작 방법을 제공하는데 있다.

【발명의 구성 및 작용】

<39> 본 발명은 멀티 칩에서 멀티 섹터 소거 동작을 수행할 수 있는 반도체 메모리 칩과 상기 반도체 메모리 칩들로 구성된 멀티 칩 패키지와 상기 멀티 칩 패키지에서 멀티 섹터 소거 방법에 관한 것이다.

<40> 본 발명에 따른 멀티 칩에서 멀티 섹터 소거 동작 모드를 지원하는 반도체 메모리 칩은, 어드레스 카운트 업 신호에 응답하여 상기 멀티 칩에서 동시에 어드레스 클락 신호를 발생하도록 하는 어드레스 클락 드라이버와; 상기 어드레스 클락 신호에 응답하여 칩 정보와 섹터 정보



를 가지는 어드레스를 발생하는 카운터와; 상기 어드레스의 칩 정보가 소거될 섹터에 대응하는지의 여부를 체크하여 상기 어드레스 카운트 업 신호를 발생하는 제어회로를 포함하는 것을 특징으로 한다.

- <41> 이 실시예에 있어서, 상기 제어회로는, 칩 선택 정보를 가지고 있으며 상기 칩 선택 정보가 상기 카운터의 칩 정보와 일치할 때 섹터 정보를 체크하는 것을 특징으로 한다.
- <42> 이 실시예에 있어서, 상기 어드레스 클락 드라이버의 출력은, 상기 제어회로의 칩 정보와 상기 카운터의 칩 정보가 일치하지 않을 때 플로우팅 상태에 있는 것을 특징으로 한다.
- <43> 이 실시예에 있어서, 상기 제어회로의 칩 정보는, 퓨즈 또는 본딩으로 하드 코딩된 옵션 플래그 형태인 것을 특징으로 한다.
- <44> 이 실시예에 있어서, 상기 카운터는, 어드레스를 순차적으로 발생하는 것을 특징으로 한다.
- <45> 이 실시예에 있어서, 상기 카운터에서 발생한 어드레스의 칩 정보는, 최상위 어드레스 비트에 해당하는 것을 특징으로 한다.
- <46> 본 발명의 다른 특징에 따른 멀티 칩에서 멀티 섹터 소거 동작 모드를 지원하는 반도체 메모리 칩은, 복수개의 섹터들로 이루어진 메모리 셀 어레이와; 소거할 섹터 정보를 가지는 레지스터와; 어드레스 카운트 업 신호에 응답하여 상기 멀티 칩에서 동시에 어드레스 클락 신호를 발생하도록 하는 어드레스 클락 드라이버와; 상기 어드레스 클락 신호에 응답하여 칩 정보와 섹터 정보를 가지는 어드레스를 발생하는 카운터와; 상기 레지스터의 섹터 정보와 상기 카운터에서의 섹터 정보가 일치하는지 여부를 체크하여, 일치할 때에는 소거 인에이블 신호를 발생하고, 일치하지 않을 때에는 상기 어드레스 카운트 업 신호를 발생하는 제어회로와; 상기 소

거 인에이블 신호에 응답하여 해당 섹터에 대한 소거 동작을 수행하는 코어 드라이버를 포함하는 것을 특징으로 한다.

<47> 이 실시예에 있어서, 상기 제어회로는, 칩 선택 정보를 가지고 있으며 상기 칩 선택 정보가 상기 카운터의 칩 정보와 일치할 때 섹터 정보를 체크하는 것을 특징으로 한다.

<48> 이 실시예에 있어서, 상기 어드레스 클락 드라이버의 출력은, 상기 제어회로의 칩 정보와 상기 카운터의 칩 정보가 일치하지 않을 때 플로우팅 상태에 있는 것을 특징으로 한다.

<49> 이 실시예에 있어서, 상기 제어회로의 칩 정보는, 퓨즈 또는 본딩으로 하드 코딩된 옵션 플래그 형태인 것을 특징으로 한다.

<50> 이 실시예에 있어서, 상기 카운터는, 어드레스를 순차적으로 발생하는 것을 특징으로 한다.

<51> 이 실시예에 있어서, 상기 카운터에서 발생한 어드레스의 칩 정보는, 최상위 어드레스 비트에 해당하는 것을 특징으로 한다.

<52> 본 발명에 따른 멀티 섹터 소거 동작을 수행하는 멀티 칩 패키지는, 제어 신호들을 전달하는 제 1 버스와; 어드레스 및 데이터를 전달하는 제 2 버스와; 그리고 상기 제 1 버스 및 상기 제 2 버스에 각각 연결되어 상기 멀티 섹터 소거 동작 모드를 지원하는 하나 또는 그 이상의 반도체 메모리 칩들을 포함하되,

<53> 상기 각각의 반도체 메모리 칩들은, 복수개의 섹터들로 이루어진 메모리 셀 어레이와; 소거할 섹터 정보를 가지는 레지스터와; 어드레스 카운트 업 신호에 응답하여 상기 멀티 칩에서 동시에 어드레스 클락 신호를 발생하도록 하는 어드레스 클락 드라이버와; 상기 어드레스 클락 신호에 응답하여 칩 정보와 섹터 정보를 가지는 어드레스를 발생하는 카운터와; 상기 레

지스터의 섹터 정보와 상기 카운터에서의 섹터 정보가 일치하는지 여부를 체크하여, 일치할 때에는 소거 인에이블 신호를 발생하고, 일치하지 않을 때에는 상기 어드레스 카운트 업 신호를 발생하는 제어회로와; 상기 소거 인에이블 신호에 응답하여 해당 섹터에 대한 소거 동작을 수행하는 코어 드라이버를 포함하는 것을 특징으로 한다.

<54> 이 실시예에 있어서, 상기 제어회로는, 칩 선택 정보를 가지고 있으며 상기 칩 선택 정보가 상기 카운터의 칩 정보와 일치할 때 섹터 정보를 체크하는 것을 특징으로 한다.

<55> 이 실시예에 있어서, 상기 어드레스 클락 드라이버의 출력은, 상기 제어회로의 칩 정보와 상기 카운터의 칩 정보가 일치하지 않을 때 플로우팅 상태에 있는 것을 특징으로 한다.

<56> 이 실시예에 있어서, 상기 제어회로의 칩 정보는, 퓨즈 또는 본딩으로 하드 코딩된 옵션 플래그 형태인 것을 특징으로 한다.

<57> 이 실시예에 있어서, 상기 카운터는, 어드레스를 순차적으로 발생하는 것을 특징으로 한다.

<58> 이 실시예에 있어서, 상기 카운터에서 발생한 어드레스의 칩 정보는, 최상위 어드레스 비트에 해당하는 것을 특징으로 한다.

<59> 본 발명에 따른 멀티 칩 패키지의 멀티 섹터 소거 동작 방법은, 카운터의 어드레스를 초기화하는 단계와; 상기 카운터의 칩 정보와 제어회로의 칩 정보가 일치하는지 여부를 판단하는 단계와; 상기 칩 정보가 일치하는 경우에 상기 카운터의 섹터 정보와 레지스터의 섹터 정보가 일치하는지 여부를 판단하는 단계와; 상기 섹터 정보가 일치하는 경우에 섹터 소거 동작을 수행하는 단계와; 상기 소거된 섹터가 마지막 섹터이면 종료하는 단계를 포함하는 것을 특징으로 한다.

- <60> 이 실시예에 있어서, 상기 칩 정보가 일치하지 않는 경우에, 마지막 섹터가 아니면 상기 카운터의 어드레스를 증가하고, 마지막 섹터이면 종료하는 단계를 포함하는 것을 특징으로 한다.
- <61> 이 실시예에 있어서, 상기 섹터 정보가 일치하지 않는 경우에, 마지막 섹터가 아니면 상기 카운터의 어드레스를 증가하고, 마지막 섹터이면 종료하는 단계를 포함하는 것을 특징으로 한다.
- <62> 이 실시예에 있어서, 상기 소거된 섹터가 마지막 섹터가 아닌 경우에, 상기 카운터의 어드레스를 증가하는 단계를 포함하는 것을 특징으로 한다.
- <63> 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부된 도면을 참조하여 설명하기로 한다.
- <64> 도 5는 본 발명에 따른 멀티 섹터 소거 동작을 수행하는 멀티 칩 패키지를 보여주는 블록도이다. 본 발명에 따른 멀티 칩 패키지는 동일한 구조를 가지는 2개 이상의 반도체 메모리 칩들로 구성되며, 하나의 패키지에 실장된다. 이하에서는 도 5에서 보는 바와 같이 2개의 반도체 메모리 칩들(100, 200)에 대해서만 설명하겠으나, 2개 이상의 반도체 메모리 칩들에 대해서도 동일한 원리가 적용됨은 자명한 사실이다.
- <65> 도 5를 참조하면, 반도체 메모리 칩들(100, 200)은 어드레스/데이터 버스와 제어 버스를 공유하여 용량이 큰 하나의 멀티 칩 패키지를 구성한다. 외부로부터 소거 동작 커맨드와 소거할 어드레스 정보가 입력되면 소거 개시 신호(EraseBusy)가 활성화되어 제 1 칩(100)부터 순차적으로 소거 동작이 시작된다. 소거 동작의 시작은 외부 컨트롤러로부터 주어지는 소거 시작

커맨드에 의해 이루어질 수도 있고, 칩 내에 타이머를 두고 최종적으로 소거할 섹터 어드레스가 입력된 이후부터 일정 시간이 지난 후에 소거 동작을 시작할 수도 있다.

- <66> 본 발명에 따른 멀티 칩 패키지는 모든 칩(100, 200)에 어드레스 클락신호(AddrCLKx)가 동시에 인가되는 것을 특징으로 한다. 이를 통해 제 1 칩(100)의 소거 동작이 끝난 뒤에 곧바로 제 2 칩(200)의 소거 동작이 진행된다. 상기 제 1 칩(100) 및 제 2 칩(200)에 대한 내부 구조 및 동작 원리는 후술하는 도 7을 참조하여 상세히 설명한다.
- <67> 도 6은 멀티 칩 패키지에서 멀티 섹터 소거 동작을 보여주는 개념도이다. 도 6은 각각 128개의 섹터로 구성된 2개의 반도체 메모리 칩을 하나의 패키지에 실장한 예이다. 상기 멀티 칩 패키지는 외부적으로 256개의 섹터를 갖는 하나의 반도체 메모리 칩으로 동작한다. 제 1 칩의 셀 어레이(160)와 제 2 칩의 셀 어레이(260)는 동일한 내부 구조를 가진다.
- <68> 도 6을 참조하면, 소거를 위해 로딩된 섹터는 2개로서, 각각 SA3과 SA130에 해당하는 섹터이다. 이들 섹터에 대한 정보는 후술하는 레지스터들(110, 210)에 저장된다.
- <69> 본 발명에 따른 멀티 칩 패키지에서 섹터 소거 동작을 수행하는 알고리즘은 전술한 단일 칩 시스템에서의 섹터 소거 동작과 대부분 동일하다. 다만, 멀티 칩 패키지에 있어서는 각 칩을 구분하는 수단과 어드레스 클락 신호를 공유하는 수단들을 더 필요로 한다. 제 1 칩(100)의 모든 섹터에 대한 소거 동작이 완료된 뒤에 곧바로 제 2 칩(200)에 대한 섹터 소거 동작이 진행되도록 하기 위함이다.
- <70> 도 7은 본 발명에 따른 멀티 칩의 멀티 섹터 소거 동작을 구현하기 위한 칩의 내부 구조를 나타내는 블록도이다. 도 7에서는 제 1 칩(100)의 내부 구성만을 도시하였으나, 제 2 칩(200)도 이와 동일한 내부 구성을 가진다.

- <71> 멀티 칩 패키지를 구성하기 위한 상기 제 1 칩(100)은, 레지스터(110)와 어드레스 클락 드라이버(120)와 카운터(130)와 제어회로(140)와 코어 드라이버(150)와 셀 어레이(160)를 포함한다.
- <72> 상기 제 1 칩(100)의 구성 요소들 각각에 대해 살펴보면 다음과 같다.
- <73> 상기 레지스터(110)에는 소거할 섹터 어드레스(예를 들면, SA3과 SA130)에 대한 정보가 저장된다. 상기 레지스터(110)는 각 섹터마다 하나씩 할당된 레지스터로서, 소거할 섹터에 할당된 레지스터 값은 "1"로 세팅된다. 실제 소거 동작시 각 섹터의 소거 여부는 이 레지스터 값을 통해 판단한다.
- <74> 상기 어드레스 클락 드라이버(120)는 어드레스 카운트 업 신호(AddrCountUp)와 커런트 칩 신호(Current Chip)에 응답하여 어드레스 클락 신호(AddrCLK)를 발생한다. 상기 어드레스 클락 신호는 카운터(130)에 전달된다.
- <75> 상기 어드레스 클락 드라이버(120)에서 발생한 어드레스 클락 신호(AddrCLKx)는 모든 칩의 카운터들(130, 230)에 동시에 전달된다. 이는 제 1 칩(100)에 대한 소거 동작이 완료되면, 곧바로 제 2 칩(200)에 대한 소거 동작이 진행되도록 하기 위함이다. 상기 어드레스 클락 드라이버(120)의 내부 구성 및 동작 원리는 후술하는 도 8을 참조하여 상세히 설명하기로 한다.
- <76> 상기 카운터(130)는 상기 어드레스 클락 신호(AddrCLK)에 응답하여 순차적으로 어드레스를 증가시킨다. 멀티 칩 패키지에 있어서, 상기 카운터(130)에서 발생된 어드레스는 섹터 어드레스(Sector Address; SA) 뿐만 아니라 각 칩을 구분하는 칩 어드레스(Chip Address; CA)도 포함한다.

- <77> 실시예로서, 상기 칩 어드레스는 상기 카운터(130)에서 발생된 어드레스 비트들 중에서 최상위 어드레스 비트에 할당된다. 2-칩 시스템을 예로 들어 설명하면, 각각의 칩이 128 (2^7) 개의 섹터로 된 경우에, 칩 어드레스의 비트 수는 1비트로서 SA<7>에 해당하고, 섹터 어드레스는 SA<6:0>이 된다. 4-칩 시스템인 경우에는, 칩 어드레스의 비트 수는 2비트로서, SA<8:7>에 해당하고, 섹터 어드레스는 SA<6:0>이 된다.
- <78> 따라서 각각의 칩이 2^N 개의 섹터로 된 2-칩 시스템의 경우에, 상기 카운터(120, 230)에서는 (N+1)bit에 해당하는 어드레스가 발생된다. 여기서 칩 어드레스에 해당하는 SA<N>은 제어 회로(140)에 입력되고, 섹터 어드레스에 해당하는 SA<N-1:0>은 상기 레지스터(110)와 코어 드라이버(150)에 입력된다.
- <79> 상기 제어회로(140)는 상기 레지스터(110), 상기 어드레스 클락 드라이버(120), 상기 카운터(130), 그리고 상기 코어 드라이버(150)와 각종 제어 신호들을 주고 받으며 멀티 섹터 소거 동작을 수행한다. 상기 제어회로(140)에 대한 동작 설명은 도 10을 참조하여 설명한다.
- <80> 상기 제어회로(140)는 EraseBusy 신호에 응답하여 상기 카운터(130)를 초기화한다. 도 10을 참조하면, EraseBusy 신호가 인에이블되면 상기 카운터(130)를 초기화하는 Reset 신호가 활성화되어 상기 카운터(130)를 초기화한다. 이때 초기화 과정은 멀티 칩 패키지 내에 있는 모든 카운터들(130, 230)에서 동시에 진행된다.
- <81> 상기 제어회로(140)는 상기 카운터(130)에서 발생된 칩 어드레스(CA; SA<7>=0)를 보고, 상기 칩 어드레스가 해당 칩을 나타내는지를 판단한다. 도 10을 참조하면, 제 1 칩(100)의 칩 어드레스는 SA<7>=0 이고, 제 2 칩(200)의 칩 어드레스는 SA<7>=1 이다. 따라서 제 1 칩(100)

만 칩 어드레스가 일치하므로 도 10에서 보는 바와 같이 CurrentChip 1 신호는 인에이블되고, CurrentChip 2 신호는 디스에이블된다.

- <82> 상기 제어회로(140)는 상기 레지스터(110)에 Sector Check 신호를 발생하여 상기 레지스터(110)에 저장된 섹터 어드레스(SA3)와 상기 카운터(130)에서 발생한 섹터 어드레스(SA0)가 일치하는지 여부를 체크한다. 섹터 어드레스가 일치하지 않으므로 상기 제어회로(140)는 AddrCountUp 신호를 활성화하여 상기 카운터(130)의 어드레스를 증가시킨다.
- <83> 만약, 상기 레지스터(110)에 저장된 섹터 어드레스(SA3)와 상기 카운터(130)에서 발생한 섹터 어드레스(SA3)가 일치하면, 상기 제어회로(140)는 상기 레지스터(110)로부터 발생된 Loaded Sector 신호에 응답하여 Erase Enable 신호를 활성화하여, 상기 섹터 어드레스(SA3)에 해당하는 섹터를 소거한다.
- <84> 상기와 같은 과정을 반복하여, 제 1 칩(100)의 마지막 섹터 어드레스(SA127)에 대한 소거 동작이 진행된 경우에는 상기 카운터(130)에서 발생된 칩 어드레스가 $SA_{<7>}=1$ 로 된다. 이때 CurrentChip 1 신호가 디스에이블되고, CurrentChip 2 신호가 인에이블되어 제 2 칩(200)에 대한 소거 동작이 진행된다.
- <85> 2-칩 시스템을 예로 들어 설명하면, 하나의 칩이 $128 (2^7)$ 개의 섹터로 된 경우에, 칩 어드레스 $SA_{<7>}$ 가 '0'일 때는 제 1 칩(100)에서만 섹터 체크가 수행되며, 섹터 체크 결과 소거될 섹터인 것으로 판단되면 Erase Enable 신호가 활성화되어 소거 동작을 수행하게 된다.
- <86> 상기 코어 드라이버(150)는 상기 카운터(130)에서 발생된 섹터 어드레스를 참조하여 소거 동작에 필요한 고전압을 상기 셀 어레이(160)의 선택된 섹터에 인가한다.

- <87> 도 8은 도 7의 어드레스 클락 드라이버의 바람직한 실시예를 보여주는 회로도이다. 도 8에서는 2-칩 시스템에서의 어드레스 클락 드라이버를 나타내는 회로도이다. 멀티 칩 패키지에 서 멀티 섹터 소거 동작을 수행하기 위해서는 모든 칩에서 어드레스가 동시에 증가되어야 한다.
- <88> 카운터(130)에서 발생한 칩 어드레스 SA<7>가 해당 칩의 칩 어드레스와 일치하면 CurrentChip 1 신호가 인에이블되어 상기 어드레스 클락 드라이버(120)에 공급된다. 상기 CurrentChip 1 신호가 인에이블된 상태에서 AddrCountUp 신호가 활성화되면, 도 8에서 보는 바와 같이, 상기 어드레스 클락 드라이버(120)의 PMOS 트랜지스터는 턴-온 되고, NMOS 트랜지스터는 턴-오프 된다. 따라서 전원 전압(VDD)이 제 1 칩(100)과 제 2 칩(200)의 버퍼들(122, 222)에 동시에 공급되어 AddrCLK 신호를 발생한다. 상기 AddrCLK 신호는 제 1 칩과 제 2 칩의 카운터들(130, 230)에 동시에 공급된다.
- <89> 이때 CurrentChip 2 신호는 디스에이블된 상태에 있으므로, 제 2 칩의 어드레스 클락 드라이버(220)의 PMOS 트랜지스터와 NMOS 트랜지스터가 턴-오프 되어 출력이 플로우팅 상태에 있게 된다. 따라서 제 2 칩은 상기 버퍼(222)를 통해 제 1 칩(100)으로부터 AddrCLK 신호를 받아 카운터(230)의 어드레스를 증가시킨다. 결과적으로 AddrCLK 신호를 제 1 칩(100)과 제 2 칩(200)에서 공유함으로써 제 1 칩(100)에 대한 섹터 소거 동작이 완료된 뒤에 곧바로 제 2 칩(200)에 대한 섹터 소거 동작이 진행되도록 한 것이다.
- <90> CurrentChip 1 신호가 디스에이블 되고, CurrentChip 2 신호가 인에이블된 경우에는 제 2 칩의 어드레스 클락 드라이버(220)에서 공급된 AddrCLK를 공유하게 된다.
- <91> 도 9a 및 도 9b는 각각 제 1 및 제 2 플래그 신호 발생 회로의 바람직한 실시예를 나타낸 회로도이다. 제 1 플래그 발생 회로(141)는 반도체 메모리 칩(100, 200)이 멀티 칩 패키지

를 구성하는 칩인지를 알리는 MULTI 신호를 출력하고, 제 2 플래그 발생 회로(142)는 각각의 반도체 메모리 칩(100, 200)이 어드레스 영역을 기준으로 상위 영역에 대응하는지의 여부를 나타내는 TOP 신호를 출력한다.

- <92> 상기 제 1 플래그 발생 회로(141)는 해당 칩이 멀티 칩 패키지의 일부로 동작하는지의 여부를 나타내기 위한 것이다. 멀티 칩의 일부로 동작하는 경우에는 MULTI 값이 '1'로 세팅되고, 단일 칩인 경우에는 MULTI 값이 '0'으로 세팅되어 있으며, 상기 제어회로들(140, 240)에 전달된다.
- <93> 제 2 플래그 발생 회로(142)는 해당 칩이 제 1 칩(100)과 제 2 칩(200) 중 어느 칩에 해당하는지의 여부를 나타내기 위한 것이다. 제 1 칩(100)인 경우에는 TOP 값이 '0'으로 세팅되고, 제 2 칩(200)인 경우에는 TOP 값이 '1'로 세팅되어 있다. 만약에 4-칩 시스템의 경우라면, 해당 칩이 어느 칩에 해당하는지 여부를 나타내기 위해 제 2 플래그 발생 회로(142)는 2 bit를 갖게 될 것이다.
- <94> 상기 제 1 및 제 2 플래그 발생 회로들은 각 칩 내에 퓨즈 또는 본딩으로 하드 코딩된 옵션 플래그 형태로 존재한다.
- <95> 도 10은 멀티 칩 패키지에 있어서 멀티 섹터 소거 동작을 설명하기 위한 타이밍도이다.
- <96> EraseBusy 신호가 인에이블되면 상기 제어회로(140)는 Reset 신호를 발생하여 상기 카운터(130)를 초기화한다. 이 때 칩 어드레스 SA<7>=0 이므로 제 1 칩(100)에서만 Sector Check 신호가 각각의 어드레스마다 발생된다. 섹터 체크 결과 로딩된 섹터 어드레스(SA3)가 아니면 상기 제어회로(140)는 AddrCountUp 신호를 발생하여 섹터 어드레스를 하나씩 증가시킨다. 섹터 체크 결과 로딩된 섹터 어드레스(SA3)인 것으로 판단되면, Loaded Sector 신호가 인에이

블되어 해당 섹터 어드레스(SA3)에 저장된 데이터를 소거하도록 Erase Enable 신호가 발생된다. Erase Enable 신호가 발생되면 소거 동작을 수행하게 된다.

<97> 제 1 칩(100)에 대한 소거 동작이 진행되는 동안에, 제 2 칩(200)의 제어회로(240)는 Sector Check 신호와 Erase Enable을 발생하지 않는다. 그러나 어드레스가 증가하여 제 2 칩(200)의 첫번째 섹터 어드레스인 SA128에 이르면 칩 어드레스 SA<7>은 '1'로 변경되며, 이에 따라 섹터 체크는 제 2 칩(200)에서만 일어나게 된다. 섹터 체크 결과 로딩된 섹터(SA130)인 것으로 판단되면 제 1 칩(100)에서와 동일한 섹터 소거 동작이 진행된다. 이때 제 1 칩(100)의 Sector Check 신호 및 Erase Enable 신호는 활성화되지 않는다.

<98> 도 11은 본 발명에 따른 멀티 칩 패키지의 멀티 섹터 소거 방법을 나타내는 순서도이다. 도 11을 참조하여 본 발명에 따른 멀티 칩 패키지의 멀티 섹터 소거 동작을 설명하면 다음과 같다.

<99> 본 발명에 따른 멀티 섹터 소거 동작은 외부로부터 소거 동작 커맨드와 소거할 어드레스 정보가 입력되어 EraseBusy 신호가 활성화되면서 시작된다.

<100> 제 1 단계는 상기 멀티 칩 패키지의 카운터들(130, 230)의 어드레스를 초기화하는 단계이다. 상기 카운터(130, 230)의 어드레스는 칩 정보와 섹터 정보를 포함한다.

<101> 제 2 단계는 상기 카운터들(130, 230)의 칩 정보와 제어회로들(140, 240)의 칩 정보가 일치하는지 여부를 판단하는 단계이다. 상기 카운터들(130, 230)의 칩 정보는 어드레스의 최상위 비트에 보관된다. 상기 제어회로들(140, 240)의 칩 정보는 퓨즈 또는 본딩 옵션으로 된 플래그 신호이다. 칩 정보가 일치하지 않는 경우에는 제 5 단계로 이동한다.

- <102> 제 3 단계는 상기 칩 정보가 일치하는 경우에 상기 카운터들(130, 230)의 섹터 정보와 레지스터들(110, 210)의 섹터 정보가 일치하는지 여부를 판단하는 단계이다. 섹터 정보가 일치하지 않는 경우에는 제 5 단계로 이동한다.
- <103> 제 4 단계는 상기 섹터 정보가 일치하는 경우에 섹터 소거 동작을 수행하는 단계이다.
- <104> 제 5 단계는 상기 소거된 섹터가 마지막 섹터인지를 판단하는 단계이다. 마지막 섹터이면 종료한다. 마지막 섹터가 아닌 경우에는 상기 카운터들(130, 230)의 어드레스를 증가한다.
- <105> 모든 섹터에 대한 소거 동작이 끝나면 Erase Finish 신호가 발생하여 소거 동작이 종료된다.
- <106> 한편, 본 발명의 상세한 설명에서는 구체적인 실시예에 관하여 설명하였으나, 본 발명의 범위에서 벗어나지 않는 한도 내에서 여러 가지 변형이 가능함은 물론이다. 그러므로 본 발명의 범위는 상술한 실시예에 국한되어 정해져서는 안되며 후술하는 특허청구범위 뿐만 아니라 이 발명의 특허청구범위와 균등한 것들에 의해 정해져야 한다.

【발명의 효과】

- <107> 상술한 바와 같이, 본 발명에 의하면 동일한 하나 또는 그 이상의 반도체 메모리 칩들을 하나의 패키지에 실장하여 멀티 섹터 소거 동작 모드를 지원하는 멀티 칩 패키지를 구성할 수 있다.

【특허청구범위】**【청구항 1】**

멀티 칩의 멀티 섹터 소거 동작 모드를 지원하는 반도체 메모리 칩에 있어서:

어드레스 카운트 업 신호에 응답하여 상기 멀티 칩에서 동시에 어드레스 클락 신호를 발생하도록 하는 어드레스 클락 드라이버(120)와;

상기 어드레스 클락 신호에 응답하여 칩 정보와 섹터 정보를 가지는 어드레스를 발생하는 카운터(130)와;

상기 어드레스의 섹터 정보가 소거될 섹터에 대응하는지의 여부를 체크하여 상기 어드레스 카운트 업 신호를 발생하는 제어회로(140)를 포함하는 것을 특징으로 하는 반도체 메모리 칩.

【청구항 2】

제 1 항에 있어서,

상기 제어회로(140)는, 칩 선택 정보를 가지고 있으며 상기 칩 선택 정보가 상기 카운터의 칩 정보와 일치할 때 섹터 정보를 체크하는 것을 특징으로 하는 반도체 메모리 칩.

【청구항 3】

제 1 항에 있어서,

상기 어드레스 클락 드라이버(120)의 출력은, 상기 제어회로의 칩 선택 정보와 상기 카운터의 칩 정보가 일치하지 않을 때 플로우팅 상태에 있는 것을 특징으로 하는 반도체 메모리 칩.

【청구항 4】

제 2 항 또는 제 3 항에 있어서,

상기 제어회로(140)의 칩 정보는, 퓨즈 또는 본딩으로 하드 코딩된 옵션 플래그 형태인 것을 특징으로 하는 반도체 메모리 칩.

【청구항 5】

제 1 항에 있어서,

상기 카운터(130)는, 어드레스를 순차적으로 발생하는 것을 특징으로 하는 반도체 메모리 칩.

【청구항 6】

제 5 항에 있어서,

상기 카운터(130)에서 발생한 어드레스의 칩 정보는, 최상위 어드레스 비트에 해당하는 것을 특징으로 하는 반도체 메모리 칩.

【청구항 7】

멀티 칩의 멀티 섹터 소거 동작 모드를 지원하는 반도체 메모리 칩에 있어서:

복수개의 섹터들로 이루어진 메모리 셀 어레이(160)와;

소거할 섹터 정보를 가지는 레지스터(110)와;

어드레스 카운트 업 신호에 응답하여 상기 멀티 칩에서 동시에 어드레스 클락 신호를 발생하도록 하는 어드레스 클락 드라이버(120)와;

상기 어드레스 클락 신호에 응답하여 칩 정보와 섹터 정보를 가지는 어드레스를 발생하는 카운터(130)와;

상기 레지스터의 섹터 정보와 상기 카운터에서의 섹터 정보가 일치하는지 여부를 체크하여, 일치할 때에는 소거 인에이블 신호를 발생하고, 일치하지 않을 때에는 상기 어드레스 카운트 업 신호를 발생하는 제어회로(140)와;

상기 소거 인에이블 신호에 응답하여 해당 섹터에 대한 소거 동작을 수행하는 코어 드라이버(150)를 포함하는 것을 특징으로 하는 반도체 메모리 칩.

【청구항 8】

제 7 항에 있어서,

상기 제어회로(140)는, 칩 선택 정보를 가지고 있으며 상기 칩 선택 정보가 상기 카운터의 칩 정보와 일치할 때 섹터 정보를 체크하는 것을 특징으로 하는 반도체 메모리 칩.

【청구항 9】

제 7 항에 있어서,

상기 어드레스 클락 드라이버(120)의 출력은, 상기 제어회로의 칩 정보와 상기 카운터의 칩 정보가 일치하지 않을 때 플로우팅 상태에 있는 것을 특징으로 하는 반도체 메모리 칩.

【청구항 10】

제 8 항 또는 제 9 항에 있어서,

상기 제어회로(140)의 칩 정보는, 퓨즈 또는 본딩으로 하드 코딩된 옵션 플래그 형태인 것을 특징으로 하는 반도체 메모리 칩.

【청구항 11】

제 7 항에 있어서,

상기 카운터(130)는, 어드레스를 순차적으로 발생하는 것을 특징으로 하는 반도체 메모리 칩.

【청구항 12】

제 11 항에 있어서,

상기 카운터(130)에서 발생한 어드레스의 칩 정보는, 최상위 어드레스 비트에 해당하는 것을 특징으로 하는 반도체 메모리 칩.

【청구항 13】

멀티 섹터 소거 동작을 수행하는 멀티 칩 패키지에 있어서:

제어 신호들을 전달하는 제 1 버스와;

어드레스 및 데이터를 전달하는 제 2 버스와; 그리고

상기 제 1 버스 및 상기 제 2 버스에 각각 연결되어 상기 멀티 섹터 소거 동작 모드를 지원하는 하나 또는 그 이상의 반도체 메모리 칩들(100, 200)을 포함하되,

상기 반도체 메모리 칩들(100, 200) 각각은,

복수개의 섹터들로 이루어진 메모리 셀 어레이(160)와;

소거할 섹터 정보를 가지는 레지스터(110)와;

어드레스 카운트 업 신호에 응답하여 상기 멀티 칩에서 동시에 어드레스 클락 신호를 발생하도록 하는 어드레스 클락 드라이버(120)와;

상기 어드레스 클락 신호에 응답하여 칩 정보와 섹터 정보를 가지는 어드레스를 발생하
는 카운터(130)와;

상기 레지스터의 섹터 정보와 상기 카운터에서의 섹터 정보가 일치하는지 여부를 체크
하여, 일치할 때에는 소거 인에이블 신호를 발생하고, 일치하지 않을 때에는 상기 어드레스 카
운트 업 신호를 발생하는 제어회로(140)와;

상기 소거 인에이블 신호에 응답하여 해당 섹터에 대한 소거 동작을 수행하는 코어 드라
이버(150)를 포함하는 것을 특징으로 하는 멀티 칩 패키지.

【청구항 14】

제 13 항에 있어서,

상기 제어회로(140)는, 칩 선택 정보를 가지고 있으며 상기 칩 선택 정보가 상기 카운터
의 칩 정보와 일치할 때 섹터 정보를 체크하는 것을 특징으로 하는 반도체 메모리 칩.

【청구항 15】

제 13 항에 있어서,

상기 어드레스 클락 드라이버(120)의 출력은, 상기 제어회로의 칩 정보와 상기 카운터의
칩 정보가 일치하지 않을 때 플로우팅 상태에 있는 것을 특징으로 하는 멀티 칩 패키지.

【청구항 16】

제 14 항 또는 제 15 항에 있어서,

상기 제어회로(140)의 칩 정보는, 퓨즈 또는 본딩으로 하드 코딩된 옵션 플래그 형태인
것을 특징으로 하는 멀티 칩 패키지.

【청구항 17】

제 13 항에 있어서,

상기 카운터(130)는, 어드레스를 순차적으로 발생하는 것을 특징으로 하는 멀티 칩 패키지.

【청구항 18】

제 17 항에 있어서,

상기 카운터(130)에서 발생한 어드레스의 칩 정보는, 최상위 어드레스 비트에 해당하는 것을 특징으로 하는 멀티 칩 패키지.

【청구항 19】

멀티 칩 패키지의 멀티 섹터 소거 방법에 있어서:

카운터의 어드레스를 초기화하는 단계와;

상기 카운터의 칩 정보와 제어회로의 칩 정보가 일치하는지 여부를 판단하는 단계와;

상기 칩 정보가 일치하는 경우에 상기 카운터의 섹터 정보와 레지스터의 섹터 정보가 일치하는지 여부를 판단하는 단계와;

상기 섹터 정보가 일치하는 경우에 섹터 소거 동작을 수행하는 단계와;

상기 소거된 섹터가 마지막 섹터이면 종료하는 단계를 포함하는 것을 특징으로 하는 멀티 섹터 소거 방법.

【청구항 20】

제 19 항에 있어서,

상기 칩 정보가 일치하지 않는 경우에, 마지막 섹터가 아니면 상기 카운터의 어드레스를 증가하고, 마지막 섹터이면 종료하는 단계를 포함하는 것을 특징으로 하는 멀티 섹터 소거 방법.

【청구항 21】

제 20 항에 있어서,

상기 섹터 정보가 일치하지 않는 경우에, 마지막 섹터가 아니면 상기 카운터의 어드레스를 증가하고, 마지막 섹터이면 종료하는 단계를 포함하는 것을 특징으로 하는 멀티 섹터 소거 방법.

【청구항 22】

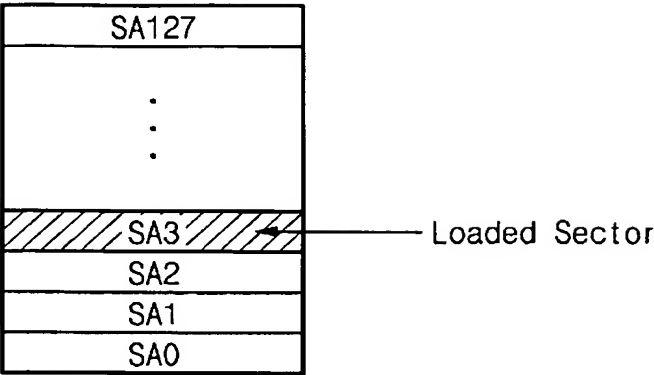
제 19 항에 있어서,

상기 소거된 섹터가 마지막 섹터가 아닌 경우에, 상기 카운터의 어드레스를 증가하는 단계를 포함하는 것을 특징으로 하는 멀티 섹터 소거 방법.



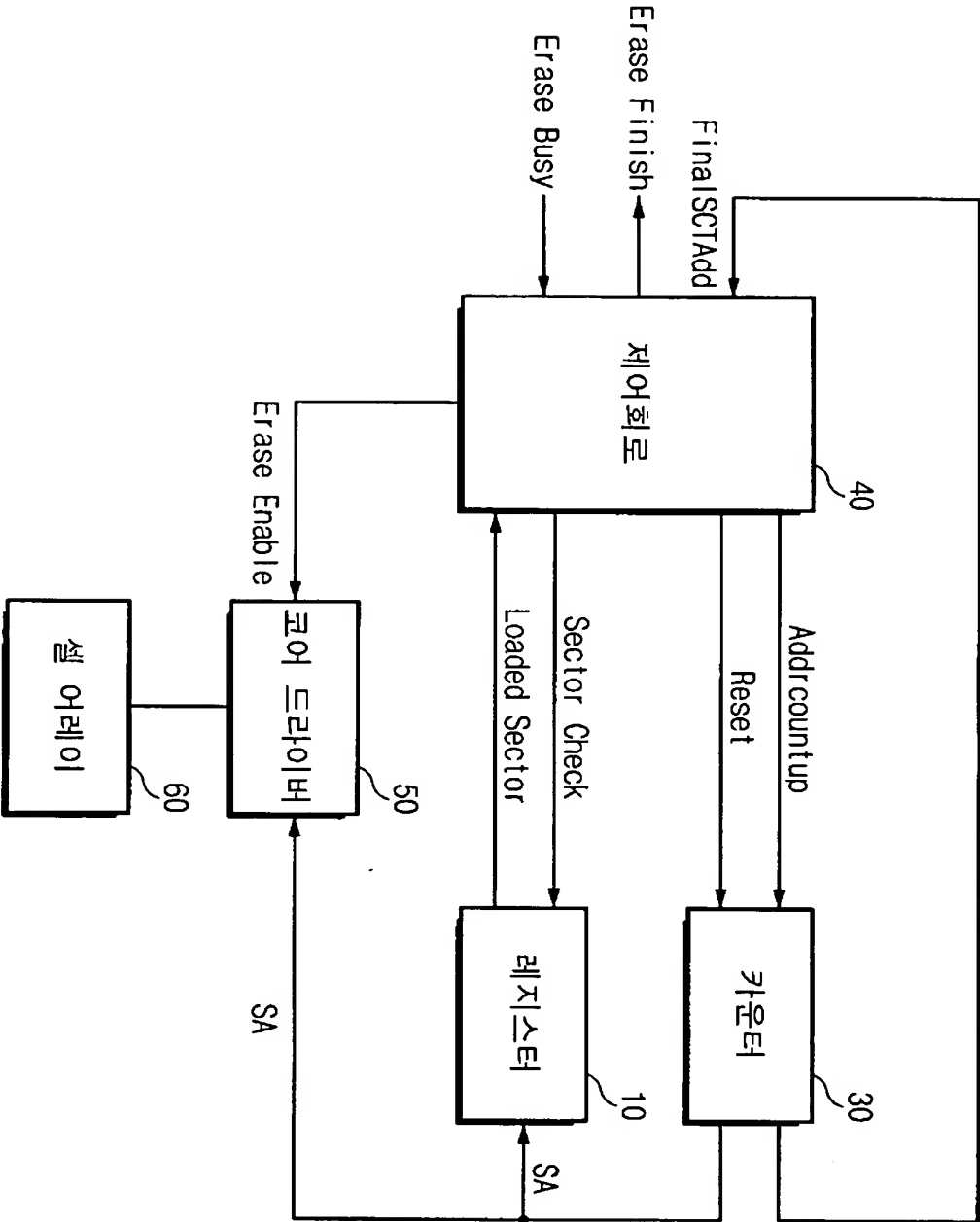
【도면】

【도 1】

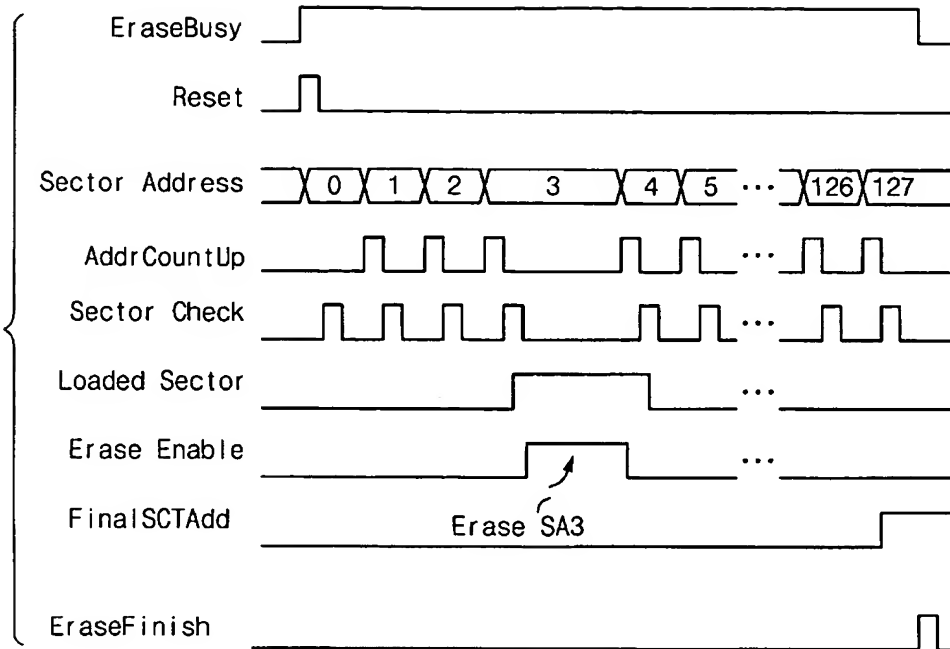




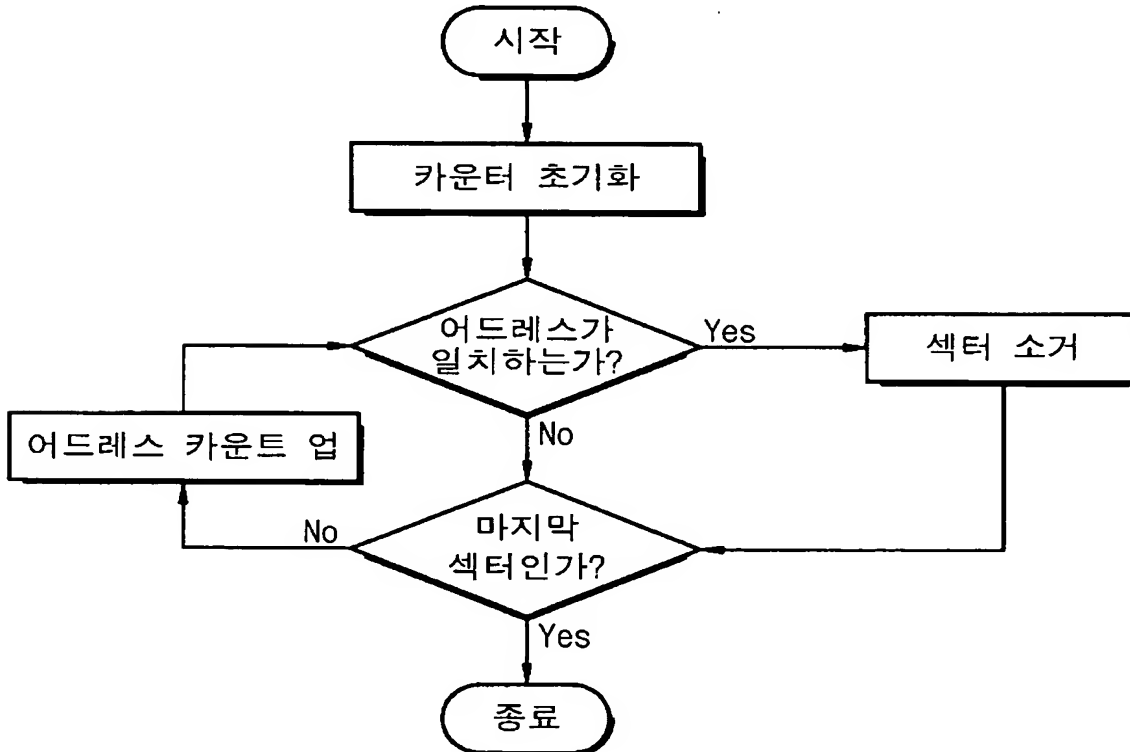
【도 2】



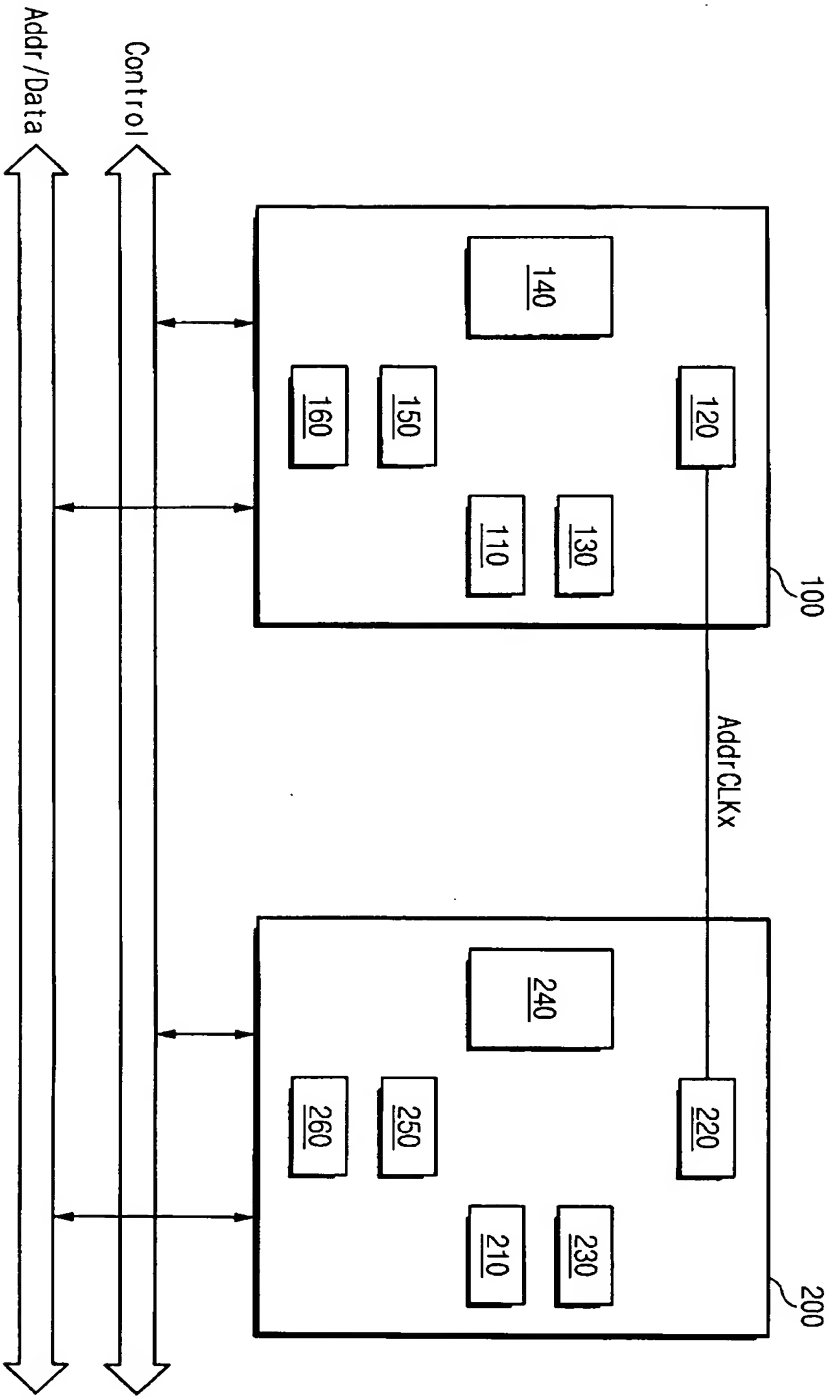
【도 3】



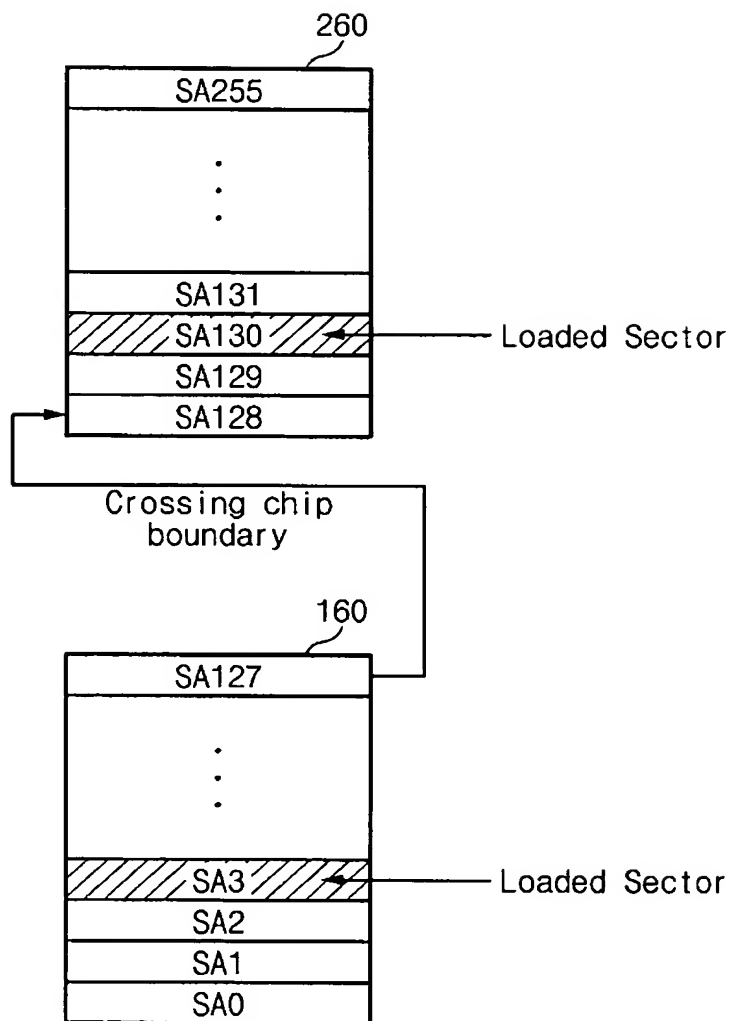
【도 4】



【도 5】

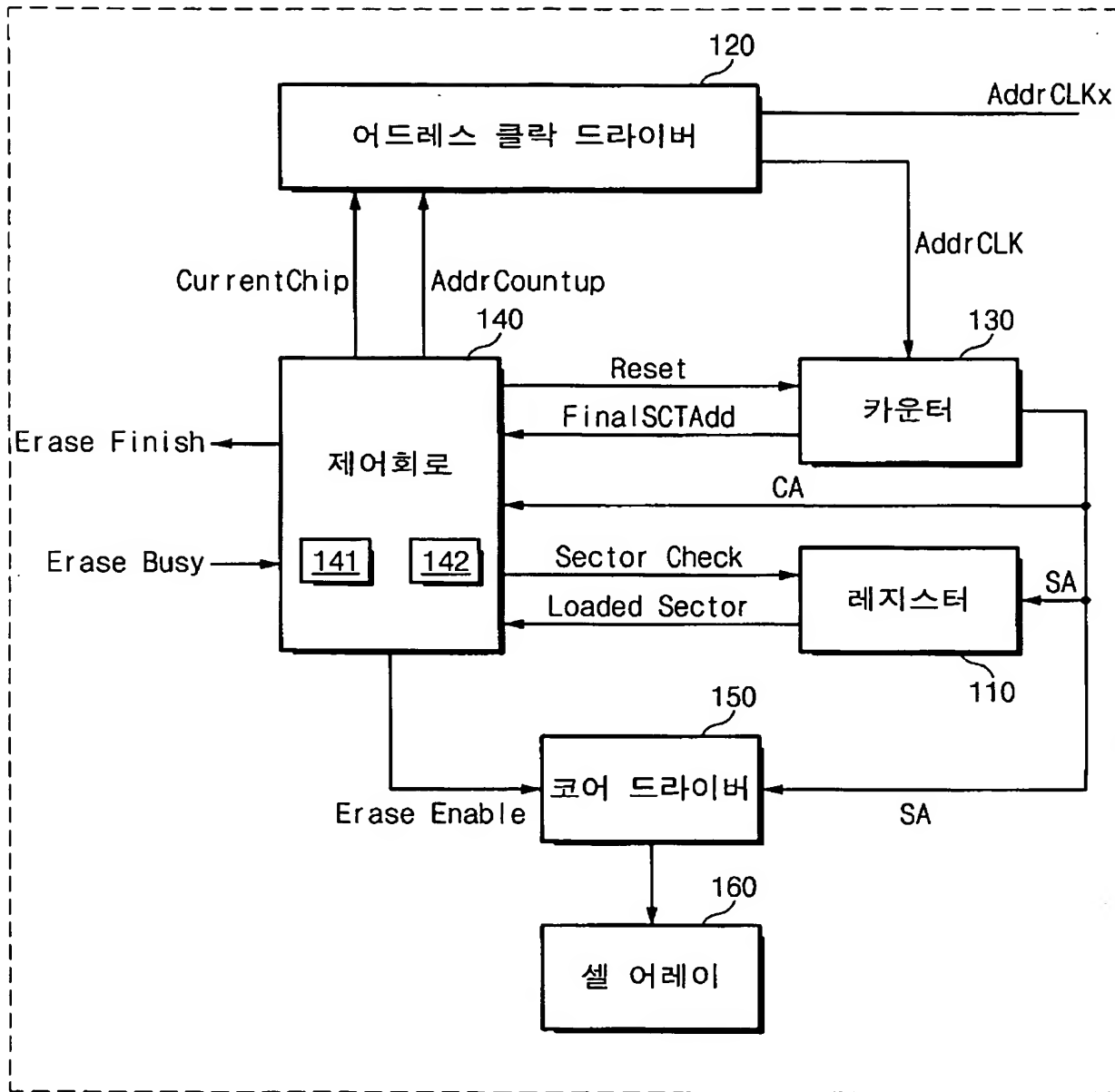


【도 6】



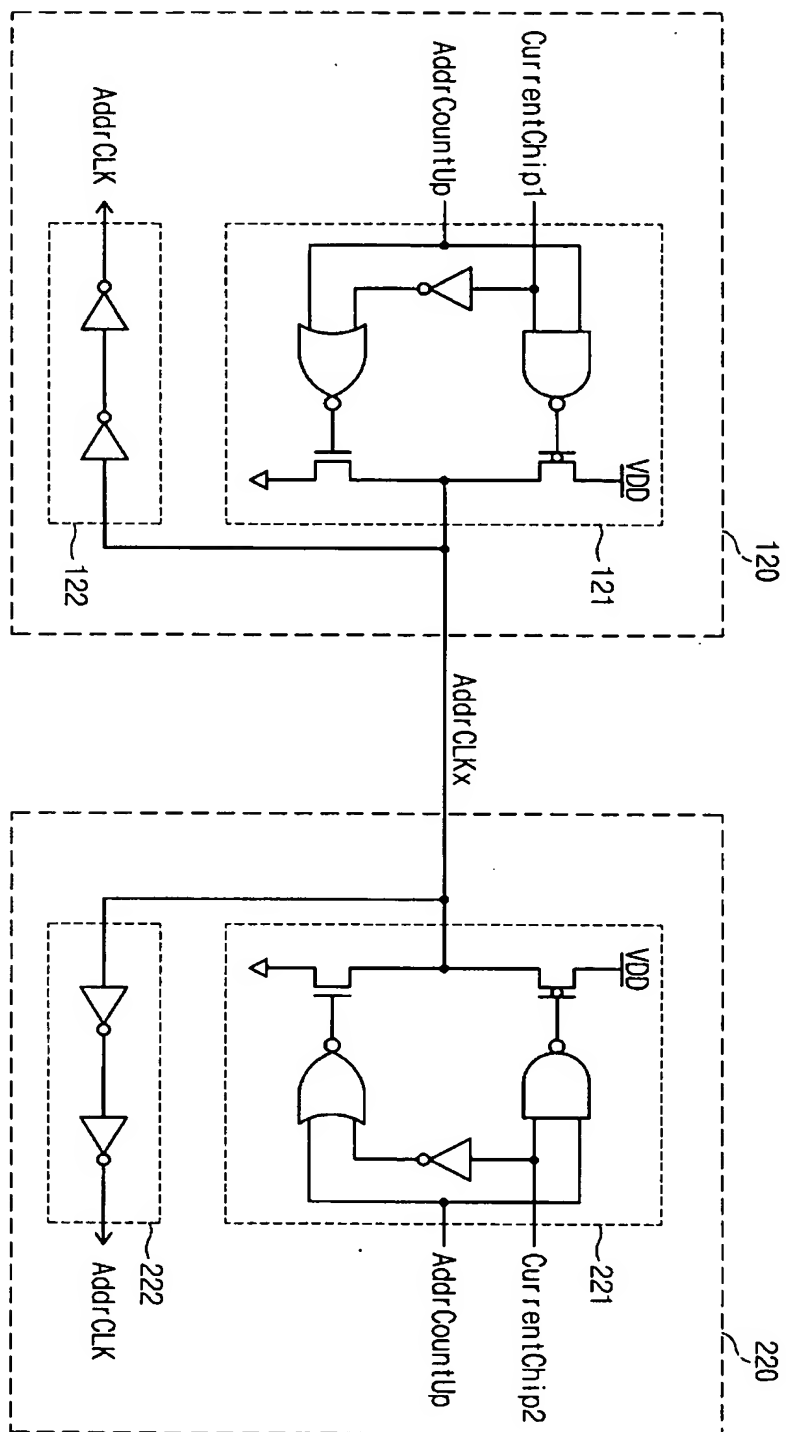
【도 7】

100



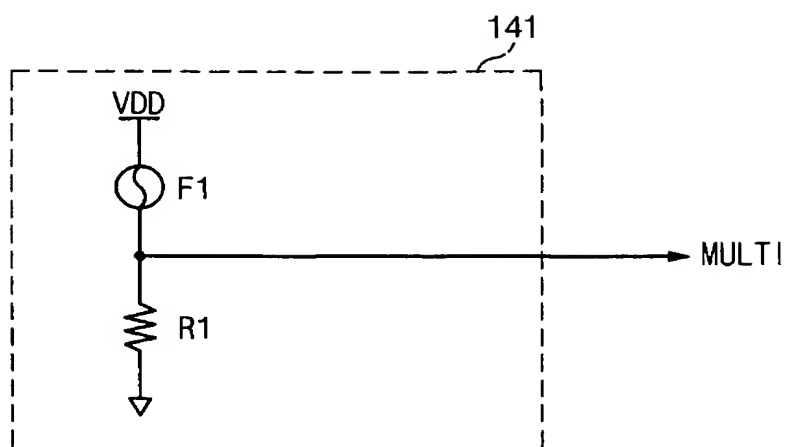


【도 8】

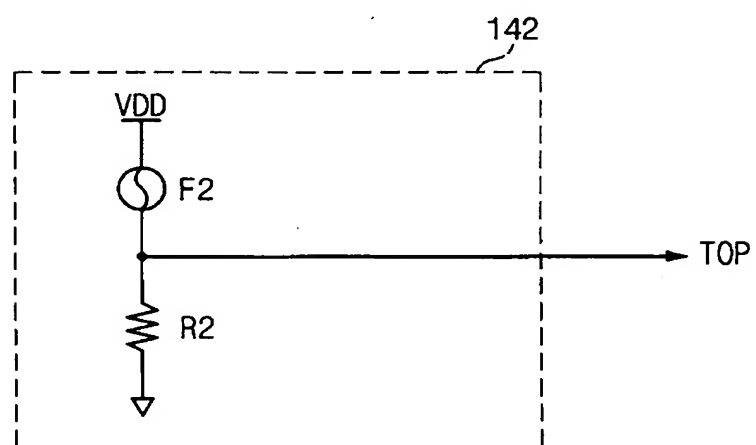




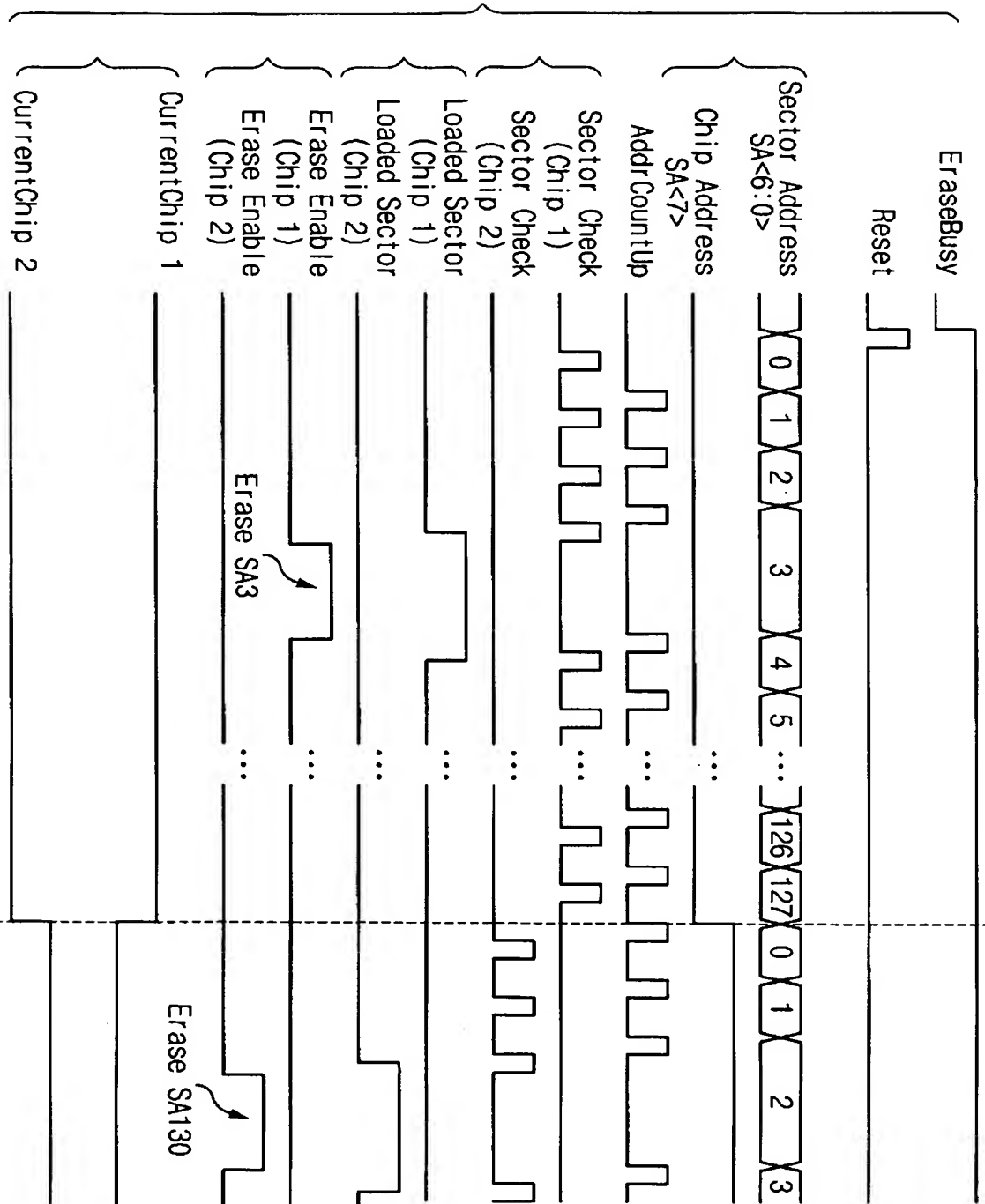
【도 9a】



【도 9b】



【도 10】



【도 11】

